

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-281959

(43)Date of publication of application : 27.10.1995

(51)Int.Cl.

G06F 12/16

G06F 3/06

G11B 20/10

G11B 20/18

(21)Application number : 06-072976

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 12.04.1994

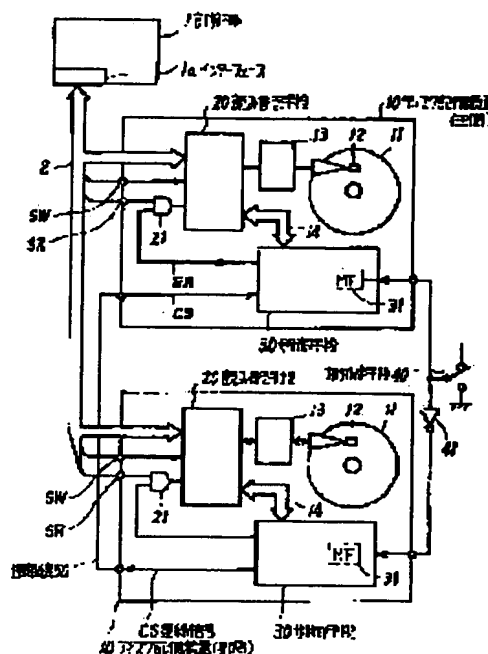
(72)Inventor : ISATO NOBUHIKO

(54) REDUNDANCY SYSTEM FOR DISK STORAGE

(57)Abstract:

PURPOSE: To provide a redundancy system which substantially needs no cost just with addition of a disk storage, can perform the fast read/write operations and also virtually applies no software burden to a computer.

CONSTITUTION: A read/write means 20 which controls the transfer of the data and their relative signals in response to an interface 1a of a computer 1 is built into each disk storage 10 together with a control means 30 which controls the internal operations of the storage 10. A primary/secondary device setting means 40 designates a primary or secondary device to each storage 10, and both devices are connoted together by a contact line 50 used for the contact signals CS. In a data write mode, the contact is secured between the means 30 of both primary and secondary devices by the signal CS. At the same time, the means 20 of both primary and secondary devices are simultaneously actuated for execution of a write operation. Meanwhile only the means 20 of the primary device is actuated for execution of a read operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-281959

(43) 公開日 平成7年(1995)10月27日

| (51) Int.Cl. ⁹ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|---------|---------|-----|--------|
| G 0 6 F 12/16 | 3 1 0 J | 7608-5B | | |
| 3/06 | 3 0 4 B | | | |
| G 1 1 B 20/10 | A | 7736-5D | | |
| 20/18 | 5 2 0 A | 8940-5D | | |

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平6-72976

(22) 出願日 平成6年(1994)4月12日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 伊里 信彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

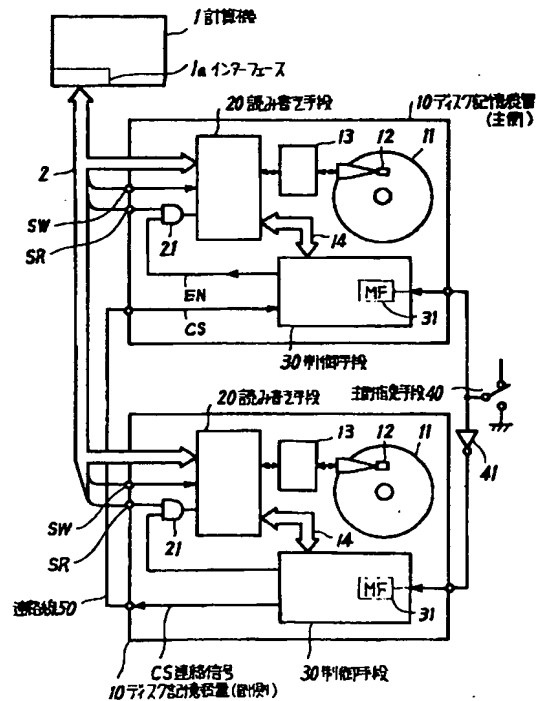
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 ディスク記憶装置の冗長化方式

(57) 【要約】

【目的】 ディスク記憶装置を追加するだけでとくに費用を要せず、読み書き動作が高速で、かつ計算機にソフトウェア上の負担をほとんど掛ける必要がない冗長化システムを構成する。

【構成】 各ディスク記憶装置10内に計算機1側のインタフェース1aに適合しデータおよびその関連信号のそれとの授受を司る読み書き手段20と、内部動作の制御を司る制御手段30とを組み込み、主副設定手段40により各装置10に対し主側装置か副側装置かを指定し、かつ連絡信号CS用の連絡線50により主側装置と副側装置を相互に結合し、データ書き込み時には主側装置と副側装置の制御手段30の相互間で連絡信号CSによる連絡をとりながら両側装置の読み書き手段20を同時に動作させて書き込み動作を進め、データ読み取り時には主側装置の方の読み取り手段20だけを動作させて読み取り動作を進める。



【特許請求の範囲】

【請求項 1】同じデータを複数のディスク記憶装置に記憶させその内の 1 台から読み取るようにした冗長化方式であって、各ディスク記憶装置に計算機とのインタフェースに適合するよう構成されデータおよびその関連信号の授受を司る読み書き手段と、装置内部の動作の制御を司る制御手段とを組み込み、主副設定手段により各ディスク記憶装置に主側装置か副側装置かを指定するとともに連絡信号用の連絡線により主側装置と副側装置を相互に結合し、データの書き込み時には主側装置と副側装置の制御手段の相互間で連絡信号により連絡をとりながら両側装置の読み書き手段を同時に動作させて書き込み動作を進め、データの読み取り時には主側装置の読み書き手段のみを動作させて読み取り動作を進めるようにしたことを特徴とするディスク記憶装置の冗長化方式。

【請求項 2】請求項 1 に記載の方式において、主副設定手段として随時切り換えが可能な手動のスイッチを用いるようにしたことを特徴とするディスク記憶装置の冗長化方式。

【請求項 3】請求項 1 に記載の方式において、制御手段内に主側装置と副側装置の設定状態を示す主副設定用のフラグを記憶する領域を設け、計算機側から切換指令によりこのフラグを書き換えることによって主副の設定を切り換え得るようにしたことを特徴とするディスク記憶装置の冗長化方式。

【請求項 4】請求項 1 に記載の方式において、ディスク記憶装置を計算機のインタフェースと結合する連結線束とは別に連絡線を主側装置と副側装置の間に設けるようにしたことを特徴とするディスク記憶装置の冗長化方式。

【請求項 5】請求項 1 に記載の方式において、データ読み書きの関連信号の計算機との授受を主側装置によって進めるようにしたことを特徴とするディスク記憶装置の冗長化方式。

【請求項 6】請求項 1 に記載の方式において、制御手段が読み書き手段用と別のプロセッサに装荷されたソフトウェアであることを特徴とするディスク記憶装置の冗長化方式。

【請求項 7】請求項 1 に記載の方式において、読み取り手段に付随して読取指令を受ける論理ゲートを設け、主側装置として指定されたときに限りこの論理ゲートを制御手段によりイネーブルして読み取り手段が読取指令を受け付け得るようにしたことを特徴とするディスク記憶装置の冗長化方式。

【請求項 8】請求項 1 に記載の方式において、データの書き込み時には連絡信号を副側装置から発生させ、主側装置によりこの連絡信号を介して副側装置の動作の進行状態を確かめながら書き込みデータの計算機側からの読み取り動作を所定のデータ長ずつ進行させるようにしたことを特徴とするディスク記憶装置の冗長化方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はディスク記憶装置内の記憶データの保全会いしは喪失の予防のために複数の装置に常に同じデータを記憶させておいてその内の 1 台からデータを読み取るようにするディスク記憶装置の冗長化方式に関する。

【0002】

【従来の技術】最近のディスク記憶装置の動作信頼性は益々向上しつつあるが、なおそれでも非常に重要なデータを扱う場合はその保全を確実にするために複数台、ふつうは 2 台の装置に全く同じデータを記憶させるミラー方式と通称される冗長化方式を採用して、たとえ 1 台の装置に故障が発生しても健全な装置から正確なデータを読み取り得るようにすることがある。

【0003】従来の冗長化方式では、複数台のディスク記憶装置とホストの計算機との間にデータや指令類の中継に専用の回路装置やプロセッサを設け、これに計算機側と各ディスク記憶装置側にそれぞれ適合するインタフェースを組み込んで、例えば計算機から受けた指令を各ディスク記憶装置にそれに適合した指令に置き代えて伝達するのが通例である。この冗長化方式では、データを書き込む際にはそれを主側装置が計算機から受け取って一旦記憶した上で複数台のディスク記憶装置に同時にその書き込み動作を行なわせ、データを読み取る際には中継装置が 1 台のディスク記憶装置にそれを読み出させて一旦記憶した上で改めて計算機に対してその転送動作を行なうようにする。

【0004】また、計算機側のインタフェースが周知の IDE ないし AT 方式の場合には、いわゆるデジチェーンを介して計算機にマスター・スレーブ動作の複数台のディスク記憶装置を接続できることを利用して、中継装置を用いることなく同じデータをそれらに記憶させ、かつデータを 1 台のディスク記憶装置から読み取ることができる。この冗長化方式では、データを書き込む際には計算機からそれを複数台のディスク記憶装置にその書き込み動作を順次に行なわせ、データを読み取る際には計算機からその読み出し動作を行なわせる 1 台のディスク記憶装置を指定するようにする。

【0005】

【発明が解決しようとする課題】しかし、前述の中継装置を用いる冗長化方式では、中継装置に計算機用のインタフェース、ディスク記憶装置用の複数のインタフェース、データの一時記憶用 RAM、それらの制御回路等を組み込む必要があるため中継装置が非常に高価に付く問題がある。また、上述のデジチェーンを利用する冗長回路方式では、中継装置の費用は不要であるがデータの書き込みを複数台のディスク記憶装置に対しシリアルに行なうために余分に時間が掛かり、かつ同じデータを繰り返して書き込むソフトウェアを計算機に装荷せねば

ならない問題がある。

【0006】本発明の目的はかかる問題点に鑑み、ディスク記憶装置の追加以外にはとくに費用を要せず、読み書き動作が高速で、計算機にソフトウェアの負担をほとんど掛ける必要がない冗長化方式を提供することにある。

【0007】

【課題を解決するための手段】上記の目的は本発明の冗長化方式によれば、各ディスク記憶装置に計算機とのインタフェースに適合するよう構成されデータおよびその関連信号の授受を司る読み書き手段と、装置内部の動作の制御を司る制御手段とを組み込み、主副設定手段により各ディスク記憶装置に主側装置か副側装置かを指定するとともに連絡信号用の連絡線により主側装置と副側装置を相互に結合し、データの書き込み時には主側装置と副側装置の制御手段の相互間で連絡信号により連絡を取りながら両側装置の読み書き手段を同時に動作させて書き込み動作を進め、データの読み取り時には主側装置の読み書き手段のみを動作させて読み取り動作を進めて行くことによって達成される。

【0008】なお、上記構成にいう読み取り手段にはそれに付随して読取指令を受ける論理ゲート、例えばアンドゲートを設け、主側装置として指定されたときに限りこの論理ゲートを制御手段によりイネーブルして読み取り手段が読取指令を受け付け得るようにするのがよい。この読み取り手段はディスク記憶装置のデータの読み書き動作の制御用のプロセッサにソフトウェアとして装荷することでよく、制御手段はこの読み書き手段用とは別にプロセッサに設けてそのソフトウェアとして装荷するのが有利である。これらプロセッサは本発明方式のためとくにディスク記憶装置に追加する必要はなく、従来からそれに組み込まれているプロセッサに読み書き手段および制御手段を適宜組み込むことでよい。

【0009】主副設定手段としては随時切り換えが可能な手動のスイッチ、例えば切り換えスイッチを用いるのが便利である。また、この主副設定手段に対応して制御手段内に主側装置と副側装置の設定状態を示す主副設定用のフラグを記憶する領域を設定し、計算機側から切換指令によりこのフラグを書き換えることにより主副の設定状態を切り換え得るようにするのが有利である。このようにして主側に設定ないし指定されたディスク記憶装置にはデータ読み書きに関連する指令や信号を計算機と授受する役目を受け持たせるのがよい。

【0010】また、前記構成にいう連絡線はディスク記憶装置を計算機のインタフェースと結合する連結線束ないし接続ケーブルとは別個に主側装置と副側装置の相互間に設けるのが望ましい。この連絡線を介する連絡信号はデータの書き込み時に副側装置から発生させ、この連絡信号により主側装置が副側装置の動作の進行状態を確かめながら書き込みデータの計算機側からの読み取り動

作を所定のデータ長、例えば1セクタ長ずつ進行させるようにするのがよい。

【0011】

【作用】本発明の冗長化方式では、各ディスク記憶装置にデータや関連信号を計算機と直接授受できるそのインタフェースに適合した読み書き手段を設けて中継装置を用いる必要をなくすとともに制御手段を設け、かつ主副設定手段によりデータの読み書き動作を制御する主側装置を設定してデータ書き込み時に例えばその制御手段に副側装置との動作協調を連絡信号を利用して取らせながら主副両装置側で同時に書き込み動作を進行させることにより所期の目的を達成する。

【0012】従って、本発明方式では計算機とディスク記憶装置との間に中継装置の介在をなくして費用を減少させながらデータの読み書き動作を高速化することができ、主側装置と副側装置の書き込み動作を同時進行させることにより従来のデジチチェーンを介してデータの書き込みを複数装置にシリアルに行なう冗長化方式と比べて書き込み時間を短縮しかつ計算機のソフトウェア上の負担を軽減できる。なお、従来でも1台の装置側で行っていたデータの読み取り動作は本発明では主側装置が単独で進めることでなんら問題はない。また、各ディスク記憶装置が読み書き手段と制御手段を備えているので本発明方式では主側装置と副側装置を必要に応じて随時切り換えることができる。

【0013】

【実施例】以下、図を参照して本発明の実施例を説明する。図1は本発明によるディスク記憶装置の冗長化方式をハードウェア面から示すブロック回路図、図2～図5はその動作をソフトウェア面から示し、図2は読み書き動作の全体を示す流れ図、図3は書き込み動作に関連するデータや信号の波形図、図4は書き込み動作例を示す流れ図、図5は読み取り動作例を示す流れ図、図6は本発明方式の保守用のソフトウェア例を示す流れ図である。なお、これらの実施例では2台のディスク記憶装置から冗長化方式がなるものとするが、本発明方式はもちろん3台以上のディスク記憶装置を含む場合にも適用できる。

【0014】図1の上部に簡略に示すホストの計算機1は例えば前述のIDE方式のインタフェース1aを備えるパーソナルコンピュータであって、冗長化用の図では2台のディスク記憶装置10は連結用の線束2ないしはデジチチェーン用のふつう40芯構成のケーブルを介してそのインタフェース1aと接続される。図では各ディスク記憶装置10の内部に本発明方式に関連する主な部分のみが示されており、通常のようにディスク11と読み書き用のヘッド12と読み書き信号回路13を含むほか、本発明方式における読み書き手段20を含むプロセッサと、制御手段30を含む図の例ではそれとは別個のプロセッサと、両プロセッサ間を連結する連系バス14とが示されている。

本発明方式ではこのように読み書き手段20と制御手段30用のプロセッサを分けるのがよいが、ディスク記憶装置10が単一プロセッサ構成の場合は両手段20、30ともそれに組み込むことも可能である。

【0015】読み書き手段20の方には、計算機1側のインタフェース1aに適合させるためにそれ用のプロセッサのRAM内に通常タスクファイルと呼ばれている記憶領域、IDE方式の場合には11バイトの領域が設定されており、ディスク記憶装置10がデータの読み書きの際にこのファイルを介しインタフェース1aに適合した指令や信号を計算機1と授受ないしは交信するようになっていゝる。読み書き手段20用のプロセッサはかかる交信線とデータバスを含む前述の連結線束2を介してインタフェース1aと接続されるが、図には説明の明確化のために計算機1側から受ける書込指令SWと読取指令SR用の交信線がとくに他から分けて示されている。また、この読み書き手段20はディスク11にデータを読み書きするヘッド12と通例の読み書き信号回路13を介して接続されている。

【0016】制御手段30の方はディスク記憶装置10の例えばヘッド2の移動制御を含む内部動作を総括制御するプロセッサに装荷されたソフトウェアであるが、本発明方式ではこれに関連して主副設定手段40を設けて各ディスク記憶装置10に対しそれが主側装置か副側装置かを指定できるようにする。図1の例では主副設定手段40は手動の切換スイッチであって、図示の切換位置では上側のディスク記憶装置10にハイの信号を与えて主側装置を指定し、下側のディスク記憶装置10に付属のインバータ41を介しローの信号を与えて副側装置を指定しており、もちろん図と逆の切換位置によって主副の指定先を逆にすることができる。ディスク記憶装置10が3台以上の場合には主副設定手段40として例えば高接地抵抗をもつ複数の端子中の1個にハイの電位を与える切換スイッチを利用できる。なお、図示の実施例ではこの主副設定手段40を制御手段30に接続してそれ用のプロセッサのRAMに主側フラグMF用の記憶領域を設定し、指定内容が主側装置のときのみこれに1を立て副側装置のとき0にリセットするものとする。

【0017】さらに本発明方式では、ディスク記憶装置10の相互間に連絡線50を設けて連絡信号CSの相互伝達に利用する。この連絡線50は読み書き手段20が接続されている連結線束2中の交信線や望ましくは予備線を利用することも可能であるが、図のようにそれと別個に設けて連絡信号CSを制御手段30に直接伝達できるようにするのが望ましい。なお、この実施例では連絡信号CSは副側装置から主側装置に与えられるハイかローの論理状態を示す信号とする。

【0018】以上のほか、図示の実施例では読み書き手段20に付随して読取指令SRを受けるアンドゲート21を設け、ディスク記憶装置10が主側装置に指定されたときに限りその制御手段30からこれにハイのイネーブル信号EN

を送ってイネーブルして読み書き手段20が読取指令SRを受け取るようにする。なお、書込指令SWは主側装置か副側装置かに関せず必ず読み書き手段20に与えられる。

【0019】図1のように構成された冗長化方式のデータ読み書きの全体動作を次の図2の流れ図を参照して説明する。図の流れは読み取り手段20と連系した制御手段30の動作を示し、主副両装置側で電源投入時に起動される。最初のステップS11では主副設定手段40がオンでそれからハイの信号を受けているか否かをまず判定し、然りである主側装置の場合はステップS12で主側フラグMFに1を立て、否である副側装置の場合はステップS13でそれを0にリセットする。

【0020】次のステップS14では計算機1側から指令が到来するのを待ち、到来と同時にステップS15で主側フラグMFが1か否かを調べ、然り、つまり主側装置の場合は直接に、否、つまり副側装置の場合はステップS16で連絡信号CSを念のため0にリセットした上で動作をステップS17に移す。ステップS17では到来指令が書込指令SWか否かを調べ、然りの時はステップS30で図4に示す書き込み動作の後にステップS21に移るが、否の時はステップS18で到来指令が読取指令SRか否かを調べ、然りの時はステップS40で図5に示す読み取り動作の後にステップS21に移るが、否の時は動作をステップS19に移す。このステップS19では到来指令が主副装置の切換指令か否かを調べ、然りであればステップS20で主側フラグMFを反転させた上で動作をステップS21に移す。否の時は本発明が対象とするデータ読み書き以外の動作指令であるから、図では簡略に破線で示すようにその動作を行なった上で流れをステップS14に戻す。

【0021】ステップS21では主側フラグMFが1か否かで流れを振り分けて、否である副側装置ではステップS22で連絡信号CSをその動作の完了を示す1にした上で流れをステップS14に戻す。然りである主側装置ではステップS23で連絡信号CSの1により副側装置の動作完了を確かめた上で、ステップS24で割込要求IRを発信した後に流れをステップS14に戻す。計算機1はこの割込要求IRを指令等の受け入れ許可信号として受けて次の動作に移ることができる。

【0022】次に図4に示す書き込み動作の説明に入る前に図3の波形図を参照してそれに関連する主な信号等の交信要領を説明する。図の上から1番目が計算機1による指令やデータ、2～4番目が主側装置10mによる信号、5番目が副側装置10sによる信号の波形をそれぞれ示す。まず計算機1から書込指令SWが発せられると、それを受けた主側装置10mはデータ要求DRを発し、副側装置10sは連絡信号CSを動作中を示す0にする。計算機1はこのデータ要求DRに応じてデータDを例えば1セクタ分の512バイトずつ連結線束2のデータバスに乗せる。

【0023】本発明方式ではこのデータDを主側装置10mおよび副側装置10sが同時に読み込んで読み書き手段

20のRAM内に記憶する。この際、主側装置10mはその記憶動作の完了時にまずビジー信号BSを1に、データ要求DRを0にそれぞれした後、副側装置10sの方でも記憶動作が完了して連絡信号CSを1になったのを確認した上でビジー信号BSを0、データ要求DRを1に戻し、かつ割込要求IRを例えば図のようなパルス状波形で発信する。計算機1はこの割込要求IRに応じてデータDの転送を再開するので、以後は同じ動作が繰り返される。

【0024】最後のデータDの読み込みと記憶が終わると、主側装置10mはビジー信号BSを1にし、データ要求DRを0にした上で、読み書き手段20のRAMの記憶データをディスク11に書き込む動作を行ない、副側装置10sの方でも同じ書き込み動作を並行して進める。図ではこのディスク11への書き込み時間がTwで示されている。主側装置10mはこの書き込み動作を完了した後に、図2のステップS23のように連絡信号の1により副側装置10sでも完了したのを確認した上でステップS24で割込要求IRを発信し、これで1回のデータ書き込み動作が終わる。

【0025】図4は図2のステップS30の書き込み動作の内容を示すもので、図の左半分が図2の主側装置10mの動作であり、右半分が副側装置10sの動作である。最初のステップS31で主側フラグMFが1か否かによって流れを主副装置に振り分ける。主側装置10mの方ではステップS32でデータ要求ERを発した後にステップS33でデータの到来を待ち、到来後はステップS34で前述の1セクタのデータDを受信した上でデータ要求DRを0にしかつビジー信号BSを1にする。ステップS35では所期のデータをすべて受信したか否かを調べ、否である限りステップS36で副側装置10sでも受信が終了して連絡信号CSが1になったことを確かめる。

【0026】続くステップS37ではビジー信号BSを0にし、割込要求IRを発信するとともにデータ要求DRを1にした後に流れをステップS33に戻して同じ動作を繰り返す。所期のデータの受信が完了すると、流れはステップS35から動作ループを抜けてステップS38に入り、前述のように読み書き手段20のRAM内に記憶されている書込データをディスク11に書き込む動作を行ない、その終了後にビジー信号BSを0にした上で動作を前述の図2のステップS21に移す。

【0027】副側装置10sの方では、最初のステップS39でまず連絡信号CSを0にした上で次のステップS40でデータの到来を待ち、到来後のステップS41で連絡信号CSを0にした状態で1セクタのデータDを受信する。続くステップS42ではすべてのデータを受信済みか否かを調べ、否の限りステップS43で連絡信号CSを1にした上で流れをステップS40に戻して同じ動作を繰り返す。全データの受信完了後の動作はステップS42からステップS44に移り、それまでに受信記憶したデータをディスク11に書き込んだ上で動作を図2のステップS21に移す。

【0028】以上の図4の動作例からわかるように、本発明の冗長化方式ではデータの書き込み時に主側装置10mと副側装置10sの間で連絡信号CSにより連絡をとりながら両装置を同時に動作させ、書き込むべきデータを読み書き手段20のRAMに読み込んで記憶してディスク11に書き込む動作を進める。しかし、データ読み取り時には両装置を同時動作させる必要がないので、図5に示す図2のステップS50の動作の内容例では、読み書き手段20がイネーブル状態の図1のアンドゲート21を介して読取指令SRを受ける主側装置10mのみを動作させる。

【0029】図2のステップS18に続く図5の最初のステップS51では主側フラグMFが1か否かをまず判定し、否である副側装置10sの方では動作を図2のステップS21にそのまま移す。然りである主側装置10mでは次のステップS52でビジー信号BSを1にした上でディスク11からデータを読み書き手段20のRAMに読み取り、かつビジー信号BSを0にした状態で割込要求IRを発信して計算機1に準備が終わったことを知らせる。続くステップS53で例えば1セクタ分ずつデータDを送信し、かつステップS54で全データの送信が終わったか否かを調べて、否の限り動作をステップS53に戻しながら全データの送信を完了した後にこのステップS54から動作を図2のステップS21に移す。

【0030】以上の図2～図5の実施例のように、本発明方式ではデータの読み書きに関連する計算機とへの間の読取指令SR、ビジー信号BS、データ要求DR、割込要求IR等の指令や信号の授受を主側装置10mの方で進めるのが有利であり、かつこれに関連して実施例のようにデータの書き込み時にデータを読み書き手段20のRAM内に所定データ長ずつ読み込む場合は連絡信号CSを副側装置10sの方から発生させ、主側装置10mがこの連絡信号CSにより副側装置10s側の動作の進行状態を確かめながら計算機との交信を進めて行くようにするのが有利である。

【0031】なお、実施例では理解を容易にするために読み書きデータを読み書き手段20のRAMにすべて記憶しておいてからディスク11に書き込み、あるいは計算機1に転送するようにしたが、動作の流れは若干複雑にはなるが書き込むべきデータをRAMに逐次読み込みながらディスク11に対し例えば1トラック分の単位長ずつまとめて書き込み、あるいは読み取るべきデータをディスク11からRAMに読み取りながら計算機1に対し例えば1セクタ分の単位長ずつ転送することによって読み書きに必要な全体時間を短縮することが可能である。

【0032】また、実施例では計算機1のインタフェース1aがIDE方式の場合にほぼ適合するよう読み書きに関連する指令や信号として書込指令SW、読取指令SR、ビジー信号BS、データ要求DR、割込要求IR等を用いたが、これらはインタフェース1aの方式によってももちろん異なって来るものである。本発明方式はかかる実施例中の特定の例示に限定されることなく、前述の要旨内で実際に

は場合や必要に応じて種々な態様で実施をすることができる。

【0033】最後に図6を参照して本発明の冗長化方式の保守に有用なソフトウェアの例を簡単に説明する。同図(a)は主副装置内のミラーデータの一致を検査するソフトウェアの動作の流れ図で、同図(b)は故障装置を取り替えた後にミラーデータを記憶させるためのソフトウェアの動作の流れ図である。これらのソフトウェアは計算機1に装荷され、従って図示の流れはすべて計算機側の動作である。冗長化方式の使用期間中に定期的に図6(a)のソフトウェアを走らせてミラーデータをチェックするようにし、もし異常があれば健全な方の装置を主側装置に指定した上で異常が発見された装置を新装置に取り替えた後に図6(b)のソフトウェアを走らせてミラーデータを修復するのがよい。

【0034】図6(a)のミラーデータ検査手段60では、最初のステップS61でデータを主側装置から例えば数トラック分読み取り、次のステップS62ではそれが正常に読み取られたことを確かめる。周知のようにディスク記憶装置ではデータの読み取りエラーが発生したときその旨を計算機に知らせるようになっていいるから、これにより正常か否かは容易に調べることができる。次のステップS63では主側装置と副側装置を切り換えた上でステップS61と同じデータを別の装置から読み取る。次のステップS64でこの読み取りが正常なことを確かめた上で、ステップS65でステップS61およびS63で読み取ったミラーデータが一致するか否かを調べる。ステップS66で主副装置を切り換えて当初の状態に戻し、さらにステップS67でディスク内の全データについて検査が完了したか否かを判定して否の限り動作をステップS61に戻して次のミラーデータの検査に移る。

【0035】このようにして全ミラーデータの検査が無事に完了したときステップS67からループを抜けて動作が完結するが、ステップS62、S64またはS65の判定結果が1回でも異常または不一致と出たときはステップS68で異常の旨を報知した上で直ちに動作を終結させる。このステップS68における報知には異常がある装置や異常の内容を含ませて、主副装置のどちらを取り替えるべきか、ないしどちらのデータを修復すべきかを決定できるようにしておくのがよい。

【0036】図6(b)のミラーデータ修復手段70は取り替えた装置等のデータを修復すべき方を副側装置に指定した上で動作を開始し、最初のステップS71で主側装置から所定長のデータを読み取り、次のステップS72で読み取りが正常であったことを確かめる。ステップS73ではこの読み取りデータを主副両装置に書き込み、かつ主副を切り換えた後に主側装置になった当初の副側装置から直前に書き込まれたデータを読み取る。ステップS74でその読み取りが正常であったことを確かめ、続くステップS75でステップS73の読み取りデータがステップS

71で読み取った元のデータと一致するか否かを調べる。ステップS76では主副を切り換えて元の状態に戻し、ステップS77で全データの修復完了か否かを調べて否の限り流れをステップS71に戻して全データの修復完了までループ動作を繰り返す。ステップS72、S74またはS75での判定が1回でも否と出たときはステップS78で異常を報知した上で動作を終結させるのは検査時と同じである。

【0037】

【発明の効果】以上説明したとおり本発明のディスク記憶装置の冗長化方式では、各ディスク記憶装置に計算機とのインタフェースに適合するよう構成されデータおよびその関連信号の授受を司る読み書き手段と装置内部の動作の制御を司る制御手段とを組み込み、主副設定手段によって各ディスク記憶装置に主側装置か副側装置かを指定するとともに、連絡信号用の連絡線で主側装置と副側装置を相互に結合し、データ書き込み時には主側装置と副側装置の制御手段の相互間で連絡信号により連絡をとりながら両側装置内の読み書き手段を同時に動作させて書き込み動作を並行して進め、データ読み取り時には主側装置の読み書き手段のみを動作させて読み取り動作を進めることによって、次の効果を上げることができる。

【0038】(a) 各ディスク記憶装置が備える計算機のインタフェースに適合した読み書き手段により計算機とデータや関連信号を直接に授受できるので、従来の計算機とディスク記憶装置の間に中継装置を介在させる方式より冗長化のためのコストを大幅に減少させ、かつデータの読み書き動作を高速化することができる。なお、ディスク記憶装置を増設して冗長化する際はその読み書き手段が計算機のインタフェースと元々適合しているから、制御手段に連絡信号に関連する簡単なソフトウェアを装荷するだけで冗長化システムを構成できる。

【0039】(b) データ書き込み動作を主側装置と副側装置の双方で同時進行させるので、従来のデジタイザを介してデータの書き込みを複数台の装置にシリアルに行なう冗長化方式と比べてデータの書き込み時間を大幅に短縮することができ、かつ計算機は主副装置を切り換える時以外は読み書き時の動作を1台のディスク記憶装置に対すると全く同要領で行なえばよいのでソフトウェア上の追加負担を計算機にほとんど掛けずに冗長化システムを運用できる。

【0040】なお、主副設定手段として切り換え可能な手動スイッチを用いる態様、および制御手段内にこれによる主側装置と副側装置の設定状態を示すフラグを記憶する領域を設けて計算機側から切換指令によりこのフラグの状態を書き換えて主副の設定を切り換え得るようにする態様では、ディスク記憶装置の起動前や運転中に必要に応じて主副設定を随時変更でき、かつ運転中の主側装置に故障が万一発生しても副側を主側に直ちに切り換

えて運転を正常に継続できる。

【0041】また、データの読み書きに関連する指令や信号の計算機との授受を主側装置により進める態様、およびデータ書き込み時に連絡信号を副側装置から発生させて主側装置がこれによって副側装置の動作の進行状態を確かめながら計算機と交信する態様は、いずれも冗長化システムの構成を簡単化し動作信頼性を向上させる効果を有する。さらに、主側装置と副側装置の間に計算機のインタフェースとの連絡線束と別に連絡線を設ける態様、および読み取り手段に付随して読取指令を受ける論理ゲートを設けて主側装置に指定されたときに限ってこれをイネーブルして読み取り手段が読取指令を受け付け得るようにする態様は、いずれも冗長化システムの動作信頼性を向上させる効果を有する。

【図面の簡単な説明】

【図1】本発明によるディスク記憶装置の冗長化方式をハードウェア面で示すディスク記憶装置と計算機のブロック回路図である。

【図2】本発明方式の動作をソフトウェア面で示す読み書き動作例の全体的な流れ図である。

【図3】本発明方式における書き込み動作に関連するデータや信号の波形図である。

【図4】本発明方式の動作をソフトウェア面で示す書き込み動作例の流れ図である。

【図5】本発明方式の動作をソフトウェア面で示す読み取り動作例の流れ図である。

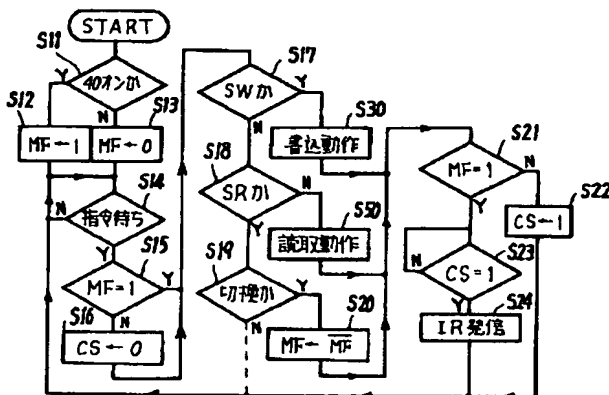
【図6】本発明方式の保守用のソフトウェアの例を示し、同図(a)はミラーデータ検査手段の流れ図、同図

(b)はミラーデータ修復手段の流れ図である。

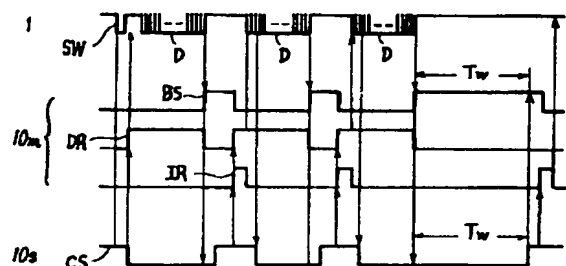
【符号の説明】

- | | |
|-----|-------------------------|
| 1 | 計算機 |
| 1a | 計算機のインタフェース |
| 2 | インタフェースとの結合用の線束ないしはケーブル |
| 10 | ディスク記憶装置 |
| 10m | 主側装置 |
| 10s | 副側装置 |
| 11 | ディスク |
| 20 | 読み書き手段 |
| 21 | 読み書き手段に付随する読取指令用のアンドゲート |
| 30 | 制御手段 |
| 31 | 主側フラグ用の記憶領域 |
| 40 | 主副指定手段 |
| 50 | 主側装置と副側装置の間の連絡線 |
| 60 | 冗長化方式の保守用のミラーデータ検査手段 |
| 70 | 冗長化方式の保守用のミラーデータ修復手段 |
| BS | ビジー信号 |
| CS | 連絡信号 |
| DR | データ要求 |
| IR | 割込要求 |
| MF | 主側フラグ |
| SR | 読取指令 |
| SW | 書込指令 |
| S30 | データの書き込み動作ステップ |
| S50 | データの読み取り動作ステップ |

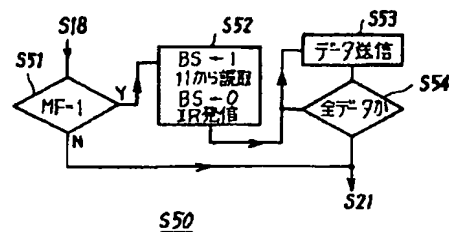
【図2】



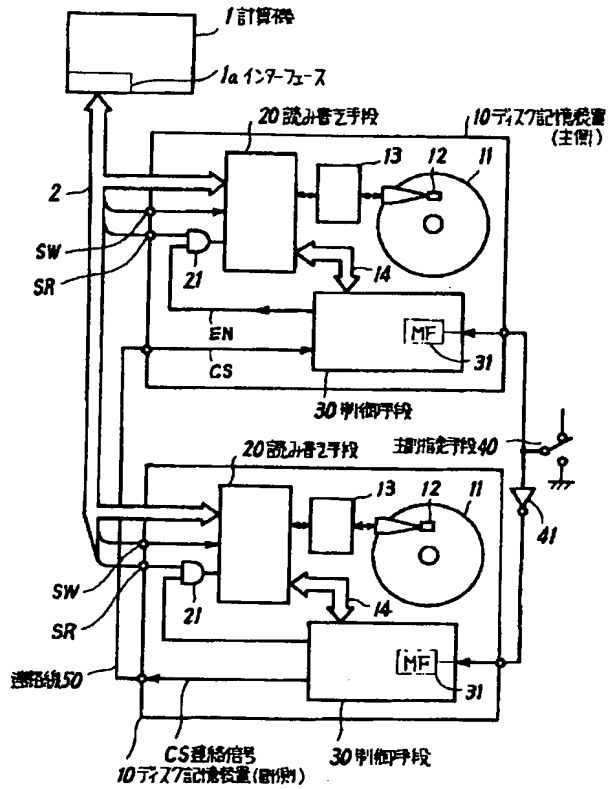
【図3】



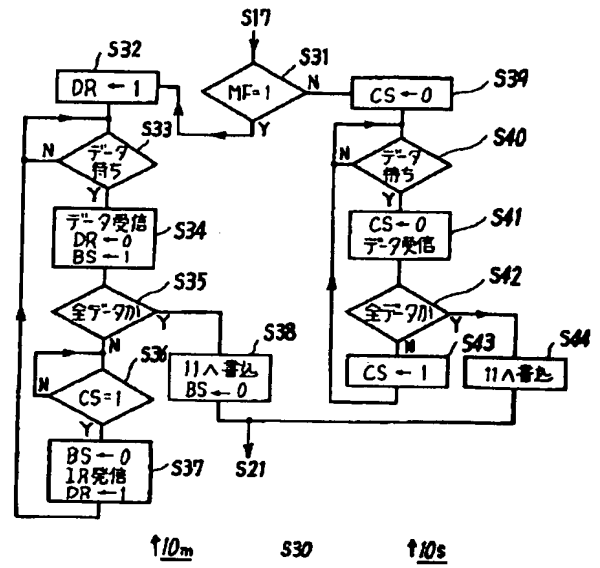
【図5】



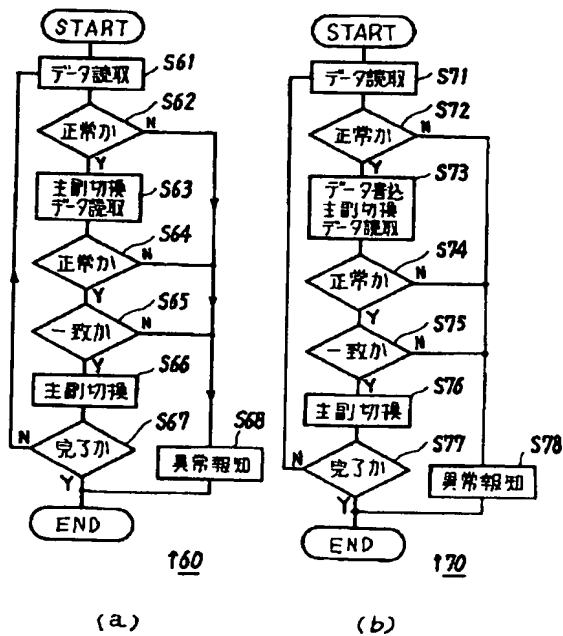
【图 1】



【図 4】



【図 6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.